

定位技术中基于 FPGA 的 TDC 电路设计与实现

张 锋¹, 邓雨荣², 胡和益¹, 张 炜², 吴秋莉², 汤其勇¹, 李永明¹

(1 清华大学 微电子学研究所, 北京 100084; 2 广西电网公司电力科学研究院, 广西 南宁 530023)

摘 要: 分析及对比了各种定位方法和时间间隔的测量方法, 针对室内定位系统, 采用了到达时间差法(TDOA)来定位. 设计了一种基于 FPGA 的延时链内插型时间数字转换(TDC)电路. 采用 Xilinx 公司的 Spartan-6 系列 FPGA 实现这一设计. 整个 TDC 系统分为精细时间测量模块、逻辑控制模块、粗计数器模块以及数据显示模块. 首先介绍了室内定位技术和 TDC 的研究现状, 然后描述了 TDC 的系统框架和每个部分的原理与设计. 重点讲述了精细时间测量模块的设计, 最后给出了仿真结果和 TDC 系统的实测结果, 时间间隔测量精度小于 200 ps, 满足室内定位系统的需求.

关键词: 定位系统; 时间数字转换电路; 精细时间测量; 现场可编程门阵列; 延迟线内插

中图分类号: TN492

文献标识码: A

文章编号: 1000-7180(2015)01-0150-06

Design and Implementation of a Time to Digital Converter (TDC)
Circuit Based on FPGA in Positioning TechnologyZHANG Feng¹, DENG Yu-rong², HU He-yi¹, ZHANG Wei²,
WU Qiu-li², TANG Qi-yong¹, LI Yong-ming¹

(1 Institute of Microelectronics, Tsinghua University, Beijing 100084, China; 2 Guangxi Electric Power Company Electric Power Science Research Institute, Nanning 530023, China)

Abstract: Various kinds of positioning methods and time interval measurement methods are analyzed and compared in this paper. The Time Difference Of Arrival (TDOA) method is used for positioning aimed at the indoor positioning system. The paper has designed a kind of delay line interpolation type Time to Digital Converter(TDC) circuit based on FPGA and the Xilinx Spartan-6 series FPGA is used. The whole TDC system includes meticulous time measurement module, logic control module, rough counter module and data display module. The research status of the indoor positioning technique and TDC is firstly introduced in this paper and the system framework of TDC and the principle and design of each parts are described. This paper is focused on the design of meticulous time measurement module and finally provides the simulation results of some parts and the measured results of TDC system. The measuring accuracy is less than 200 ps, which can meet the demand of the indoor positioning system.

Key words: positioning system; TDC circuit; meticulous time measurement; FPGA; delay line interpolation

1 引言

常见的基于地面网的定位技术主要有四种^[1-3]: 接收信号强度指示法(Received Signal Strength Indicator, RSSI); 到达时间(TOA)定位技术; 角度到

达(AOA)定位技术和到达时间差(TDOA)定位技术. 本课题采用的是第四种方法, 这种方法通过测量目标信号到达不同基站之间的时间差, 从而得到距离差, 进一步得到以两个基站为焦点的一条双曲线, 两条这样的双曲线的交点即为目标信号的位置. 这

收稿日期: 2014-03-18; 修回日期: 2014-05-09

基金项目: 国家高技术研究发展规划基金资助项目("八六三"计划)(2011AA010404); 广西电网"输变电环境关键技术研究"基金资助项目(GXYT(S)-2013-011TP)

就需要测量两个信号之间的时间差,用的是时间数字转换器 TDC 来测量实现的。

TDC 的全称为时间数字转换器 (Time-to-Digital Converter)^[4],它是测量两个窄脉冲上升沿之间的时间的仪器。TDC 的实现方法主要有专用集成电路 (Application-Specific integrated Circuit, ASIC) 和现场可编程逻辑门阵列 (Field Programmable Gate Array, FPGA) 两种。相对于 ASIC 设计而言,用 FPGA 实现 TDC 的优点主要体现在费用小、设计周期短、灵活性强三个方面。

图 1 中给出了几种常用 TDC 的实现方法^[5-6],其中前两种多应用于 ASIC 中,这种方法一般是先将时间差转化成模拟信号,然后将模拟信号转化成数字信号来实现的。后两种主要依靠高频时钟来实现高精度的时间差测量。

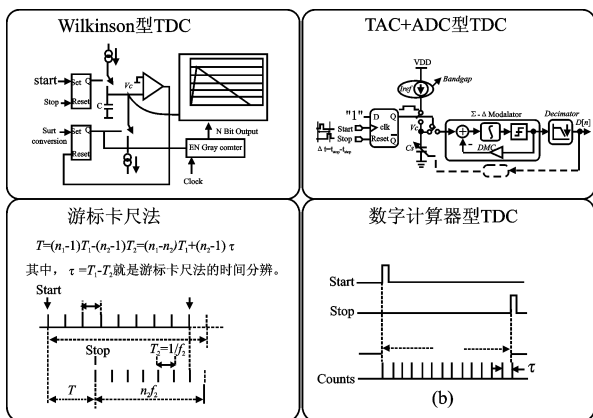


图 1 几种传统的 TDC 的设计^[5]

下面介绍一下用 FPGA 来实现 TDC 的研究现状。1997 年, Jozef 和 Ryszard 使用 pASIC-FPGA, 采用差分延迟线的方法, 实现了分辨率 200 ps 的 TDC^[7]。2000 年, 他们利用 pASIC2-FPGA 将 TDC 的时间分辨率提高到了 100 ps^[8]。2006 年, 中国科技大学的安琪、宋健等人利用 FPGA 的专用进位链成功实现了 50 ps 的分辨率^[9]。2008 年, 吴进远等人利用 wave union 的方法首次将基于 FPGA 的 TDC 的精度提高到 10 ps^[10], 随后, 2011 年, Eugen 等人使用 Xilinx 系列的 FPGA, 结合 wave union 的方法, 使得 TDC 的测量精度达到了 10 ps^[11-12]。

2 TDC 实现方法和系统结构

本文设计的研究方案采用基于 FPGA 的时间内插技术, 这种方法是在 FPGA 中构造一条延时链, 将 start 信号送入延时链, 当时钟上升沿到来时, 记录 start 信号经过的延时单元的数目, 就可以得到

start 信号到时钟上升沿之间的时间差。TDC 测量时序图如图 2 所示。

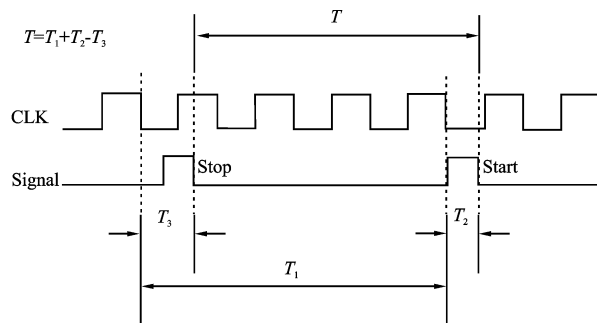


图 2 TDC 测量的时序图

整个 TDC 系统包括粗计数单元 (采用 Gray 码计数方法实现)、细计数模块 (采用时间内插法实现)、逻辑控制模块和寄存器阵列、显示模块四个部分。

一般而言, 物理研究实验对时间测量系统有两个核心指标: 一个是可以区分的最小时间间隔, 也就是要求测量精度要尽可能小, 目前在室内定位技术中 TDC 的测量精度要求小于 200 ps 的水平; 另一个是可以测量的最大时间间隔, 也就是要求有较大的测量范围。在室内定位技术中, 测量范围达到 10 μ s 就可以了。

量程的扩大主要通过扩展 Gray 码粗计数的位数来实现, 细计数部分的测量精度的提高是 TDC 实现中的一个难点。在本设计中, 细计数时间测量模块的量程要达到 10 ns (我们已有的板上频率最高的时钟 100 MHz)。整个系统的时间分辨率要求小于 200 ps, 留给逻辑控制电路以及信号传输 10 ps 的裕度; 留给被测信号 10 ps 的抖动空间; TDC 精细时间测量模块的精度希望小于 180 ps。精细测量模块在测量过程中被两次调用, 因此希望细计数的每个延迟单元的平均延时不超过 $180 \div \sqrt{2} = 127$ ps。根据对实验室现有的几个 Xilinx 系列 FPGA 的延时单元的仿真结果, 采用 Spartan-6 FPGA 及其开发板可以满足这个测量精度的要求。

如图 3 所示, 基于 FPGA 的 TDC 系统结构主要由两部分组成: FPGA 核心电路部分和显示模块部分。其中, FPGA BOARD 部分主要是在 FPGA 上实现 TDC 测量电路的功能。显示开发板部分实现将测试结果显示在 Win CE 或者安卓显示屏上。

图 4 为 TDC 系统的 FPGA 开发板部分电路的结构图。它主要由八个模块组成: TDC 延时链单元 (start_dealy_line) 模块、(stop_dealy_line) 模块; 格雷码计数器模块 (gray_cnter) 模块; 控制以及计算

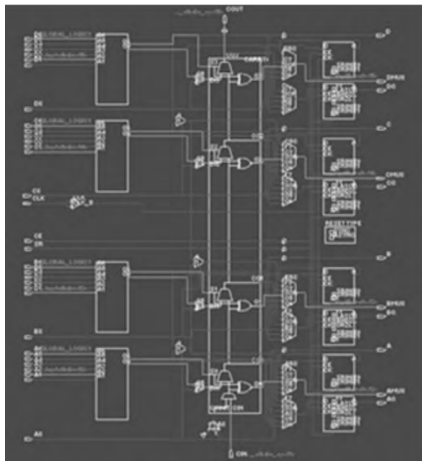


图 5 单个 SLICE 中的进位链

3.2 经过寄存器采集得到的延时单元的顺序问题与换序方法

设计中采用的是自下而上的延时链结构,如图 5 所示,从下而上的四个延时单元为 1,2,3,4。按照正常的电路,若 S3 没有通过,则 S4 肯定没有通过,实际中不不是这样的,四个寄存器变为“1”可能按照 S1,S4,S2,S3 的顺序。这就出现了测量结果的顺序不定,从后仿的波形中也能看到细计数链延时单元的顺序问题,如图 6 所示。

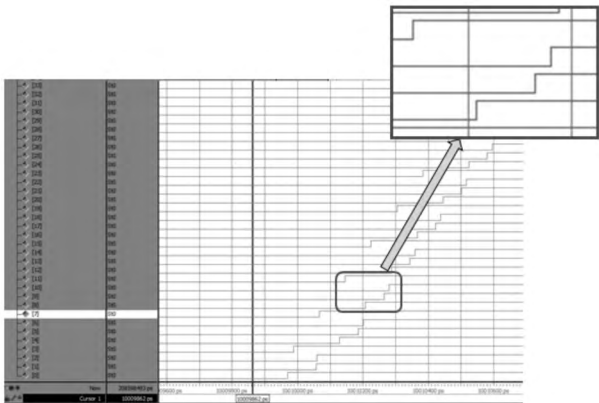


图 6 从仿真的波形中看到的延时链的乱序现象

为了找到造成这种现象的原因,我们查看了 Spartan-6 的用户手册,发现在每个 Slice 中的专用进位线是一种超前进位线。这种超前进位线的逻辑机构是造成延时单元的乱序的主要原因。另外,由于采样时钟的抖动,以及从延时单元的输出到每级寄存器输出的路径和时间的不同,也会造成寄存器采到的延时单元的顺序的改变。如果想测量的准确的话,需要把这个顺序调过来。在这里,有两种方法去调整延时单元的顺序。第一种方法是,在代码中用硬连线的方式改变延时单元的顺序。第二种方法,在改变延时单元的顺序的时

候,为了不至于每次重新统计演延时链都会重新改变硬连线的顺序,本文设计了一个可以根据统计结果来改变延时单元的顺序的电路,用来避免每次改变硬连线的时候都需要重新综合的问题,这一换序模块的结构图如图 7 所示。

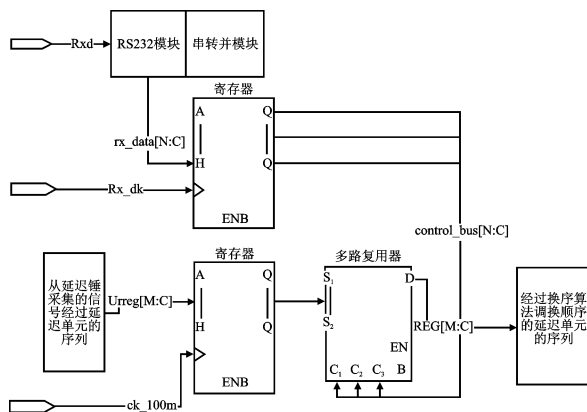


图 7 换序模块结构图

3.3 延时链的时间统计和单个延时单元的延时时间的测量

上文提到了延迟单元的不均匀特性,所以要估计单个延时单元的延时。由于 FPGA 中延时单元的延时相对不可控,只能通过测量的方法进行估计。具体的解决办法为:通过约束综合的脚本,去查看综合后的时序文件和具体延迟单元的时序,推断出先后的顺序。现在采用统计的方法和时序分析的方法结合分析每个延时单元的大小。这种方法的缺点是分析的信息量很大、耗时,而且万一系统有重新修改的地方,就得从头再来。根据统计结果,可以得到每个延时单元的延时,如图 8 所示,经过计算得到平均每个单元的延时为 31.47 ps。

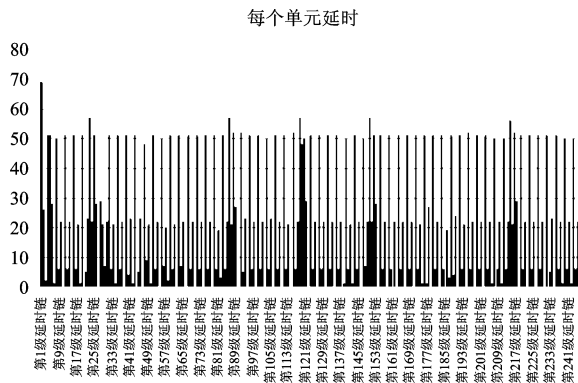


图 8 用统计方法得到的每个延时单元的延时

4 电路的实测结果

在实验室中,用任意波形发生器产生两路测试信



图 9 用 chipscope 抓取到的实测结果

号,整个系统的测试结果如图 9 所示. 其中 gray_out_binary 为格雷码的输出结果; gray_out_reg2 反映主状态机运行状态,03 表示其处在粗计数、细计数都结束的测量结束状态上. Raw_o_start 是指 start 与 clk 上升沿之间的距离. Raw_o_stop 是指 stop 与 clk 上升沿之间的距离. Start_i_signal 是指进入延时链的测试信号,对应于 start 延时链中设计中的 signal_i, Stop_i_signal 是指进入延时链的测试信号,对应于 stop 延时链中设计中的 signal_i, Start_signal 指外部输入的 start 信号; Stop_signal 指外部输入的 stop 信号;这是测试的整个系统的时间. 此时粗计数为十六进制的 40, Start 链的细计数个数为十六进制的 CF,对应前 207 个延时单元的延时时间,根据统计结果为 5.233 ns, Stop 链的细计数个数为十六进制的 CE,对应前 206 个延时单元的延时时间,根据统计结果为 5.219 ns,测量的时间为

$$\begin{aligned}\Delta T &= T_1 + T_2 - T_3 \\ &= 64 \times 10 \text{ ns} + 5.233 \text{ ns} - 5.219 \text{ ns} \\ &= 640.014 \text{ ns}\end{aligned}\quad (1)$$

实际中,设置的时间为 64 个周期,即 640 ns.

针对 640 ns 的时间差做单点测量,测量 20 次,求得平均值: $12\ 802.22/20=640.111 \text{ ns}$,如图 10 所示. 经计算得到针对 640 ns 单点测量的方均根值(rms)为 0.134 ns,这说明针对 640 ns 单点多次测量的精度满足预设的 200 ps 范围内.

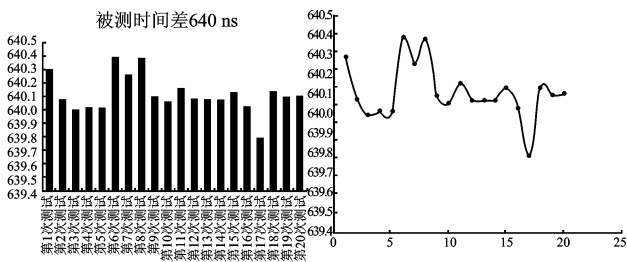


图 10 针对 640 ns 的单点多次测试得到的测量结果统计图

本设计在测试过程中,设定了多个测量点,多点测量的测试结果见表 1 所示.

表 1 多点测量的测试结果汇总表

设定值/ns	测量值/ns	绝对误差/ns	相对误差/%
640	640.111	0.111	0.173 438
760	760.142	0.142	0.186 842
1 000	1 000.122	0.122	0.122 000
1 360	1 360.109	0.109	0.080 147
1 600	1 600.099	0.099	0.061 875
1 840	1 840.152	0.152	0.082 609
2 080	2 080.100	0.100	0.048 077
4 160	4 160.133	0.133	0.031 971
8 320	8 320.155	0.155	0.018 630
12 800	12 800.100	0.100	0.007 578
13 700	13 700.16	0.106	0.007 737
16 640	16 640.00	0.201	0.012 079
19 600	19 600.00	0.197	0.010 051

5 结束语

本课题针对基于 FPGA 的 TDC 电路进行研究,完成了基于 SPARTAN-6 的 TDC 电路设计与实现,包括粗计数 Gray 码的设计与实现、细计数延时链的设计与实现以及外围电路的设计,达到了预定的设计要求. 针对设计中遇到的问题,做出了一系列解决方案,例如:针对单个延时单元的延时时间的测量,采用统计方法,比较精确确定细计数链经过每个延时单元后的具体时间;针对延时单元的顺序问题,设计了一个换序模块,可以根据配置的参数调换延时单元的计时顺序,这个模块也是本设计的一个亮点. 针对个别点测试结果超出了预期值,后期应给设计增加一个校准单元,经过校准消除一部分系统误差后,把精度进一步提高.

参考文献:

- [1] 刘双龙. 时差定位系统中的关键技术研究[D]. 北京:清华大学,2013.
- [2] Kaveh Pahlavan, Xinrong Li. Indoor geolocation science and technology[J]. IEEE Communications Magazine, 2002(4):112-118.
- [3] 王森, 白文乐. 基于无线传感器网络的 TDOA-CTLS 定位算法研究[J]. 微电子学与计算机, 2010, 27(4): 149-152.
- [4] 王雷, 魏廷存, 郑然. 用于生物医学成像的多通道高

- 精度 TDC 芯片设计[J]. 微电子学与计算机, 2010, 27(5): 57-65.
- [5] 安琪. 粒子物理实验中的精密时间间隔测量[J]. 核技术, 2006, 29(6): 454-458.
- [6] 黄钰. 定位系统中时间间隔测量电路的设计与实现[D]. 北京:清华大学, 2013.
- [7] Jozef Kalisz, Ryszard Szplet, Jerzy pasierbinski, et al. Field-programmable-gate-array-based time-to-digital converter with 200-ps resolution[J]. IEEE Transactions On Instrumentation and Measurement, 1997, 46(1): 71-75.
- [8] Szplet R, Kalisz J. Interpolating time counter with 100-ps resolution on a single FPGA Device[J]. IEEE Trans Instrum and Meas, 2000, 49(4): 879-883.
- [9] Song Jian, An Qi, Liu Shubin, A high-resolution time-to-digital converter implemented in field-programmable-gate-arrays [J]. IEEE Transactions on nuclear-science, 2006, 53(1): 236-241.
- [10] Jinyuan Wu, Zonghan shi. The 10-ps wave union TDC: Improving FPGA TDC resolution beyond Its cell delay [C]// Nuclear Science Symposium Conference Record. Batavia: IEEE, 2008: 3440-3446.
- [11] Bayer E, Zipf P, Traxler M. A multichannel high-resolution (< 5 ps RMS between two channels) time-to-digital converter (TDC) implemented in a field programmable gateArray (FPGA) [C]// IEEE Nuclear Science Symposium Conference Record. [s. l.]: IEEE, 2011: 876-879.
- [12] Eugen Bayer, Traxler M. A high-resolution (< 10 ps RMS) 48-channel time-to-digital converter (TDC) implemented in a field programmable gate array (FPGA) [J]. IEEE Transactions on nuclear science, 2011, 58(4): 1547-1552.

作者简介:

张 锋 男, (1985-), 硕士. 研究方向为集成电路与系统设计研究. E-mail: xdfjn@163.com

胡和益 男, (1988-), 硕士. 研究方向为集成电路与系统设计研究.

李永明 男, (1945-), 教授. 研究方向为集成电路与系统设计研究.

(上接第 149 页)

- [6] 王昌晶, 薛锦云, 左正康. SRLtoRadl 生成系统及其范畴论语义[J]. 电子学报, 2014, 42(1): 137-142.
- [7] 邹亮, 徐德智, 郭维. 基于参考点的大规模本体扩散映射算法 [J]. 小型微型计算机系统, 2013, 34(7): 1507-1513.
- [8] 何永强, 谷春英. 基于子任务区域分片下的分布式空间查询处理与并行调度方法[J]. 科技通报, 2014, 30(1): 110-116.
- [9] Alfaro V M, Vilanovab R. Robust tuning of 2DoF five-parameter PID controllers for inverse response controlled processes[J]. Journal of Process Control, 2013, 23(4): 453-462.
- [10] Hu W M, Hu M, Maybank S. Adaboost based algorithm for network intrusion detection [J]. IEEE Transactions on Systems, Man and Cybernetic, Part B: Cybernetics, 2008, 38(2): 577-583.

作者简介:

王 哲 女, (1981-), 博士研究生, 讲师. 研究方向为语义信息检索、数据库与数据挖掘. E-mail: 13938583437 @ 126.com.

徐燕文 女, (1981-), 硕士, 讲师. 研究方向为数据库与数据挖掘.